

PAT-NO: **JP360186053A**

DOCUMENT-IDENTIFIER: **JP 60186053 A**

TITLE: **THIN FILM COMPLEMENTARY MOS CIRCUIT**

PUBN-DATE: **September 21, 1985**

INVENTOR-INFORMATION:

NAME

TSUNEKAWA, YOSHIFUMI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SEIKO EPSON CORP	N/A

APPL-NO: **JP59042411**

APPL-DATE: **March 6, 1984**

INT-CL (IPC): **H01L027/08, H01L029/78**

US-CL-CURRENT: **257/351, 257/E27.111**

ABSTRACT:

PURPOSE: To microminiaturize a CMOS circuit by forming N type TFT and P type TFT on the same semiconductor to form a thin film CMOS circuit, thereby reducing a transistor interval and connecting a common electrode with only one contact.

CONSTITUTION: A semiconductor layer 12 is formed on an insulating

substrate

11, etched in the suitable shape, and a gate film is formed. Then, after a semiconductor layer is formed, a gate electrode 17 is formed by impurity diffusing or highly conductive material, the source and drain regions of N type

TFT and P type TFT are coupled by ion implanting of an impurity ion beam.

The

source and drain regions are separately formed at the N type and P type TFTs

with the TFT of one side with a resist as a mask. The source and drain regions

are formed on the same semiconductor layer of both the transistors, and particularly in the drain regions are sufficiently approached between the both

transistors in a structure like 13, 14, 15. Then, after an interlayer insulating layer 18 is formed, a contact is formed by a conductive material, thereby forming an inverter.

COPYRIGHT: (C)1985,JPO&Japio

④日本国特許庁 (JP) ⑤特許出願公開
⑥公開特許公報 (A) 昭60-186053

⑦Int.Cl.
H 01 L 27/08
29/78

識別記号
102

厅内整理番号
6855-5F
8422-5F

⑧公開 昭和60年(1985)9月21日

審査請求 未請求 発明の数 1 (全3頁)

⑨発明の名称 薄膜相補型MOS回路

⑩特 願 昭59-42411
⑪出 願 昭59(1984)3月6日

⑫発明者 恒川吉文 諸防市大和3丁目3番5号 株式会社諸防精工舎内
⑬出願人 株式会社諸防精工舎 東京都新宿区西新宿2丁目4番1号
⑭代理人 弁理士最上務

明細書

1.発明の名称

薄膜相補型MOS回路

2.特許請求の範囲

■型薄膜トランジスタおよびP型薄膜トランジスタで構成する薄膜相補型MOS回路において、前記■型薄膜トランジスタと前記P型薄膜トランジスタの共通となるソース領域またはドレイン領域を、同一の半導体薄膜中に形成し、かつ唯一のコンタクトホールから共通電極を形成することを特徴とする薄膜相補型MOS回路。

3.発明の詳細な説明

【技術分野】

本発明は、薄膜トランジスタ（以下「ア」と記す。）で構成する、薄膜相補型MOS回路（以下「薄膜CMOS回路」と記す。）の共通電極部の構造に関するものである。

【従来技術】

従来のシリコンウエハに形成する、N型MOSトランジスタおよびP型MOSトランジスタより構成されるCMOS回路では、各々のトランジスタを同一ウエハに形成する際、N型ウエハに使用の時はP型ウエルを、P型ウエハに使用の時はN型ウエルを形成した後、ウエハ内のウエル部と、ウエル部以外に、別々にMOSトランジスタを形成し、共通電極領域を、アルミニウム等の導電体材料で接続してCMOS構造とするものであって、この方法では、必ずウエハとは別の異なるウエハが必要となり、共通電極領域からの電極の引き出しに2点のコンタクトを必要とする点、およびトランジスタ間隔縮少の点で限界が生じ、微細化を進める上で問題があった。

【目的】

本発明は、このような問題点を解決するもので、その目的とするところは、同一半導体に、N型アーベルおよびP型アーベルを形成して薄膜CMOS回路を構成することにより、トランジスタ間隔を縮

少させ、かつ共通電極を唯一のコンタクトで取り
OMOS回路の簡略化をはかることがある。

【概要】

N型薄膜トランジスタおよびP型薄膜トランジスタで構成する薄膜OMOS回路の共通となる電極部を、同一半導体に形成し、かつ唯一のコンタクトで電極を形成することを、特徴とする。

【実施例】

以下、本発明について、実施例に基づき詳細に説明する。

説明にあたり、回路として基本回路であるインバータを使用する。第1図が従来のシリコンウェーハに作製したインバータを、第2図がエターチャードで構成したインバータを示す。第1図(4)および第2図(4)は、インバータの上回路を、第1図(4)および第2図(4)は、各々A'およびB'で切断した底の断面図である。

第1図と第2図で示すOMOS回路の構造上ならびに作製上の相異点は、薄膜OMOS回路(第2図(4))では、ウエル2を形成することなく

同一半導体層12に、N型エターチャードおよびP型エターチャードのソースおよびドレイン領域を形成していること、さらに、N型トランジスタおよびP型トランジスタの電極の中で、共通となる電極、図中では、ドレイン電極とゲート電極であるが、ドレイン電極を、両トランジスタのドレイン領域より、唯一のコンタクトにより取り出していることである。

続いて薄膜OMOS回路の製造法について、説明を加える。

絶縁基板11上に半導体層12を形成し、適当な形状にエッチャードした後ゲート膜を形成する。次いで、半導体層形成後の不純物量あるいは高等電気材料によりゲート電極17を形成し、N型エターチャードおよびP型エターチャードのソースおよびドレイン領域を不純物イオンビームのイオン打ち込み等で形成する。ソースおよびドレイン領域は、片側のエターチャードを、レジスト等でマスクをして、N型エターチャードおよびP型エターチャード別々に形成する。第2図(4)の如くソースおよびドレイン領域は、両トランジ

スタ共に同一半導体層に形成し、特にドレイン領域は、両トランジスタ間で十分近接させ、13, 14, 15のような構造とする。次いで層間絶縁層18を形成した後、導電性材料によりコンタクトをとり、インバータを形成する。

加えて、第5図は、作製法は前述のとおりであるが、共通であるドレイン電極を、イオン打ち込み等で形成したドレイン領域の、P型およびN型不純物が混在する重なり領域15より取り出したことを示す図である。

第4図は、ソース領域およびドレイン領域の形成法を除いて上述と同様に作製する。ソース領域およびドレイン領域は、不純物注入の際、まずソース領域およびドレイン領域全面にN型不純物またはP型不純物を注入し、N型不純物注入の際はN型エターチャードを、P型不純物注入の際はP型エターチャードを、レジスト等でマスクをして、他の型の不純物注入を行ない、N型エターチャードおよびP型エターチャードのソース領域およびドレイン領域を形成する。

【効果】

以上述べてきたように、本発明によれば、薄膜OMOS回路のN型エターチャードおよびP型エターチャードにおいて、各々のソース領域およびドレイン領域を、同一の半導体基板中に形成することで、トランジスタ間隔の大幅な縮少が可能となり、薄膜OMOS回路自体の簡略化および薄膜OMOS回路を用いた集積回路の高集積化に多大な効果を有するものである。

加えて、第5図に示す如く、ソース領域およびドレイン領域を、多結晶中あるいは非晶質層中に形成するので、P型領域とN型領域との接続による、キャリアの流れの制御が、單結晶中に形成する際と比較して、緩和され第5図のような電極の引き出しにより、コンタクトを十分に取ることができる。

第4図では、N型エターチャードおよびP型エターチャードの共通電極領域の境界部の構造が簡略化されるので、第2図の如く、共通電極19の取り出しを、N型エターチャードおよびP型エターチャードに、またがって取り出す

場合には、選の異なる不純物の混在領域がないので共通電極部の縮少が可能となり、さらに進んだ微細化が可能となる。

4. 図面の簡単な説明

第1図は従来のCMOSインバータの構造を、第2図は、薄膜CMOSインバータを示す。両面ともに(A)が上面図、(B)が断面図である。

第3図は、第2図において、ドレイン電極のコントクト位置を、ドレインの重なり部より取り出した構造を示す図である。

第4図は、ドレインおよびソース領域の形成方法が異なる薄膜CMOSインバータの構造を示す。

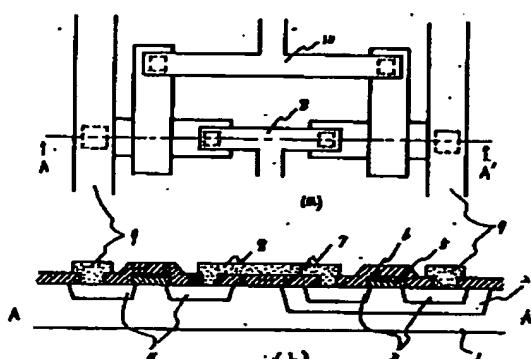
- 1. シリコンウエハ
- 2. ウエル
- 3. ソース(右)およびドレイン(左)領域
- 4. ソース(左)およびドレイン(右)領域
- 5. ゲート膜
- 6. ゲート電極

- 7. 絶縁膜
- 8. 出力ライン(ドレイン電極)
- 9. 電源ライン(ソース電極)
- 10. 入力ライン(ゲート電極)
- 11. 絶縁基板
- 12. 半導体層
- 13. ソース(右)およびドレイン(左)領域
- 14. ソース(左)およびドレイン(右)領域
- 15. ドレインの重なり領域
- 16. ゲート膜
- 17. ゲート電極
- 18. 絶縁膜
- 19. 出力ライン(ドレイン電極)
- 20. 電源ライン(ソース電極)
- 21. 入力ライン(ゲート電極)

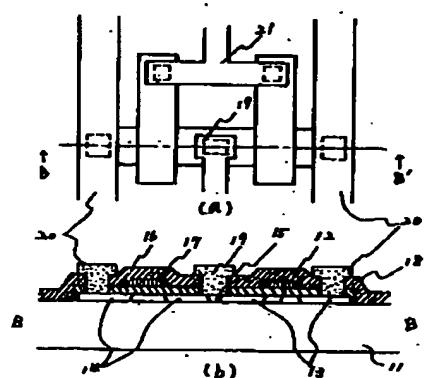
以上

出版人 株式会社障防精工合

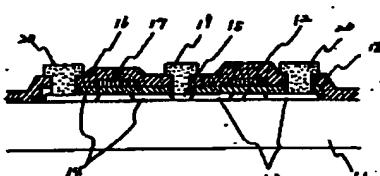
代理人弁護士 岩上 勝



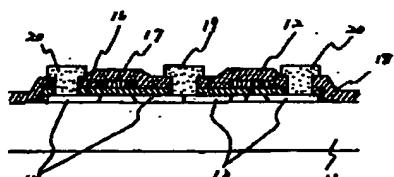
第1図



第2図



第3図



第4図